

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 08122761 A

(43) Date of publication of application: 17 . 05 . 96

(51) Int. Cl

G02F 1/1335
G02F 1/136

(21) Application number: 06255458

(71) Applicant: FUJITSU LTD

(22) Date of filing: 20 . 10 . 94

(72) Inventor: MATSUOKA HIDETATSU

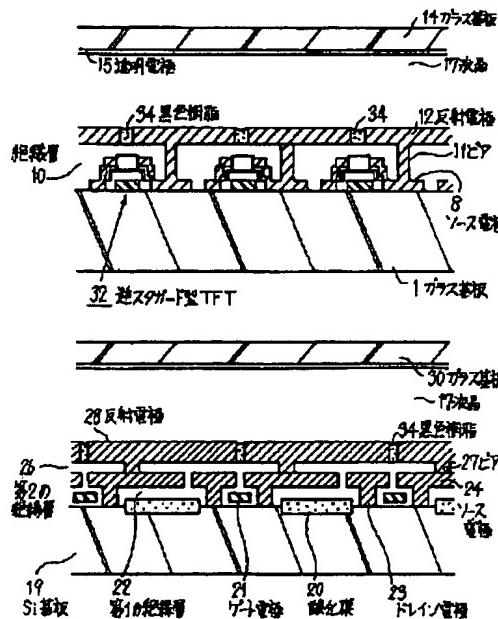
(54) LIQUID CRYSTAL DISPLAY ELEMENT AND ITS PRODUCTION

COPYRIGHT: (C)1996,JPO

(57) Abstract:

PURPOSE: To increase an opening rate of a black matrix constituting a liquid crystal display element of a reflection type by providing this element with the black matrix filling the spacings between reflection electrodes.

CONSTITUTION: Reflection electrodes 12 are patterned and formed on an insulating layer 10 in a process for producing reverse staggered TFTs 32 and thereafter, the reflection electrodes 28 are patterned and formed on a second insulating layer 26 in a process for producing MOSFETs; thereafter, the surface thereof is spin coated with a resin 34 contg. black pigment powder to fill the boundaries between the reflection electrodes 12 or 28. The matrix is then polished until all the constituted reflection electrodes 12 or 28 are exposed after the surfaces of the reflection electrodes 12 or 28 are coated with the matrix and dried. The contrast at the time the transistors turn on and off is increased and the light infiltrating from outside is cut if the colored black matrix for absorbing the light is formed at the boundaries of the reflection electrodes 12 and 28 in such a manner.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-122761

(43)公開日 平成8年(1996)5月17日

(51)Int.Cl.*

G 0 2 F 1/1335
1/136

識別記号

府内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数2 O.L (全5頁)

(21)出願番号

特願平6-255458

(22)出願日

平成6年(1994)10月20日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 松岡 秀達

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

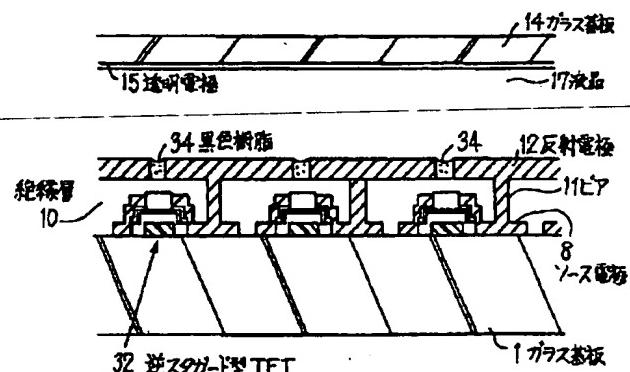
(54)【発明の名称】 液晶表示素子とその製造方法

(57)【要約】

【目的】 反射型の液晶表示素子を構成するブラックマトリックスに関し、開口率の増加を目的とする。

【構成】 マトリックス状に配列してパターン形成されている反射電極上に感光性を備えた黒色樹脂を塗布し、この黒色樹脂を選択エッチングしてバスラインの終端を外部接続するビアと駆動用ICのコンタクトホールを形成した後、黒色樹脂を反射電極が露出するまで研磨することを特徴として液晶表示素子の製造方法を構成する。

本発明を適用したTFT使用反射型液晶表示素子の断面図



【特許請求の範囲】

【請求項1】 基板上にトランジスタをマトリックス状に配列し、該トランジスタのドレイン電極をドレインバスラインに、また、ゲート電極をゲートバスラインに回路接続すると共に、前記基板を透明電極を備えたガラス基板と対向せしめ、両基板間に液晶を介在させてなる液晶表示素子において、

該透明電極と対向して該トランジスタ上にマトリックス状に形成されている反射電極の間隙を黒色樹脂で埋めてブラックマトリックスを設けてなることを特徴とする液晶表示素子。

【請求項2】 請求項1記載の液晶表示素子の製造方法であって、マトリックス状に配列してパターン形成されてなる反射電極上に感光性を備えた黒色樹脂を塗布し、該黒色樹脂を選択エッチングしてバスラインの終端を外部接続するピアと駆動用ICのコンタクトホールを形成した後、該黒色樹脂を反射電極が露出するまで研磨することを特徴とする液晶表示素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はブラックマトリックスを備えた反射型液晶表示素子の製造方法に関する。

【0002】 液晶表示素子には直視型と反射型とがあり、前者は液晶表示素子の背後に照明を必要とするのに對し、後者は不要であり、そのために消費電力が少なくて済むことから、精力的に開発が進められている。

【0003】 また、従来のアクティブマトリックス形の液晶表示素子は、ガラス基板上にアモルファス（非晶質）のシリコン（Si）、または、多結晶（ポリ）Siの薄膜を作り、これを用いて多数の薄膜トランジスタ（TFT）をマトリックス状に形成すると共に、各トランジスタのゲート電極をゲートバスラインに、また、ドレイン電極をドレインバスラインに回路接続しており、液晶層を介して酸化錫（ SiO_2 ）と酸化インジウム（ $In-O_2$ ）との固溶体（略称ITO）よりなる透明電極を備えたガラス基板と対向させることにより大型の液晶表示素子が形成されている。

【0004】 一方、単結晶からなるSi基板上に多数のMOSトランジスタを形成してアクティブマトリックス構成をとる液晶表示素子は、ON電流を高くとることができ、また、スイッチング速度が速いなどの特徴から、小形ではあるが理想的な液晶表示素子を実現することができ、そのため、拡大投影形ディスプレイ用として実用化が期待されている。

【0005】 本発明はこのようにTFTまたはMOSトランジスタからなる反射形のアクティブマトリックス構成をとる液晶表示素子に対して適用されるブラックマトリックスの形成方法に関するものである。

【0006】

【従来の技術】 図3は従来のTFTを用いた反射形のアクティブマトリックス形液晶表示素子の断面図であり、硼珪酸ガラスなどよりなるガラス基板1の上にゲートバスラインと、これに回路接続するゲート電極2を形成し、この上にゲート絶縁層3、活性層4、層間絶縁層5と順次に形成した後、ドレインバスラインに回路接続するドレイン電極7とソース電極8を形成することによりTFTが形成されている。

【0007】 次に、この上を二酸化シリコン（ SiO_2 ）或いは窒化シリコン（ Si_3N_4 ）よりなる絶縁層10で被覆して平坦化して後に、ソース電極8に達するピア穴を形成し、次に、スパッタ法によりアルミニウム（Al）からなる薄膜を形成してピア11を形成した後、写真蝕刻技術（ホトリソグラフィ）を用いて反射電極12を形成している。

【0008】 一方、対向するガラス基板14の上にはITOよりなる透明電極15とブラックマトリックス16を形成して後、二つのガラス基板1、14を対向させて位置合わせし、この間に液晶17を封入することによりTFTを用いたアクティブマトリックス形液晶表示素子が形成されている。

【0009】 また、図4はMOSトランジスタを用いた反射形のアクティブマトリックス形液晶表示素子の断面図であり、Si基板19の上に形成した酸化膜（LOCOS）20により素子間分離を行なった後、素子形成領域にゲート電極21を形成し、この上に SiO_2 よりなる第1の絶縁層22で被覆した後、ドレイン電極とソース電極の形成位置をSi基板19に到るまで、選択エッチングして窓開けし、この窓開け部を通してイオン注入を行なうことにより半導体領域を形成し、次に、この第1の絶縁層22の上にスパッタ法などによりAlの膜形成を行なって窓開け部を埋めた後、選択エッチングを行なって、ドレインバスラインに回路接続するドレイン電極23とソース電極24を形成している。

【0010】 次に、この上に SiO_2 よりなる第2の絶縁層26を被覆した後、この第2の絶縁層26を選択エッチングしてソース電極24に到るピア穴を形成し、次に、この上にAlのスパッタを行なってソース電極24に到るピア27を形成した後、選択エッチングを行なって各トランジスタ毎の反射電極28が形成されている。

【0011】 一方、対向するガラス基板30の上にはITOよりなる透明電極31を形成して後、Si基板19とガラス基板30とを対向させて位置合わせし、この間に液晶17を封入することによりMOSFETを用いたアクティブマトリックス形液晶表示素子ができ上がっている。

【0012】

【発明が解決しようとする課題】 TFTを用いたアクティブマトリックス形液晶表示素子においては、図3に示すように、各画素を形成する反射電極12の境界13に対応する位置にブラックマトリックス16がバターン形成され

ているが、境界13の幅に較べるとブラックマトリックス16のほうが幅が広い。

【0013】これはパターン形成されている二枚のガラス基板を位置合わせするに当たって少なくとも数 μm のマージン18を必要とするためである。然し、反射電極の大きさは $50 \mu m$ 角程度であり、反射電極の縁端部が位置合わせのために数 μm づつマスクするために開口率が減ることは不経済である。

【0014】一方、図4に示すMOSFETを用いたアクティブマトリックス形液晶表示素子において、現用のものは、対向するガラス基板30にブラックマトリックスを設けていないが、光が反射電極28の境界29を通してトランジスタの内部に浸入し、漏洩電流を増加させていることが問題で、この解決が課題である。

【0015】

【課題を解決するための手段】上記の課題は、マトリックス状に配列してパターン形成されてなる反射電極上に感光性を備えた黒色樹脂を塗布して樹脂層を作り、この樹脂層を選択エッチングしてバスラインの終端を外部接続するピアと駆動用ICのコンタクトホールを形成した後、樹脂層を反射電極が露出するまで研磨することを特徴として液晶表示素子を形成することにより解決することができる。

【0016】

【作用】本発明はブラックマトリックスを反射電極の間隙を埋めて設けるものである。現在、ブラックマトリックスはTFTを用いたアクティブマトリックス形液晶表示素子に用いられているが、その理由は、

- ① マトリックス状に配列しており、ON, OFFさせている画素のコントラストを上げること、
 - ② 外部からの照射光を遮断して画素を構成するトランジスタの漏洩電流を抑制すること、
- であり、一方、MOSFETを用いたアクティブマトリックス形液晶表示素子は実用化段階であり、未だ、市販されるに到っていない。

【0017】発明者は反射電極を使用する液晶表示素子の研究を行なっている段階で、逆スタガード型TFTおよびMOSFETを用いたアクティブマトリックス形液晶表示素子において、反射電極の性能向上には、基板面の平坦化が必要であり、スパッタなどの膜形成技術と写真蝕刻技術（ホトリソグラフィ）によりAlよりも反射電極を形成した後、反射電極の表面を研磨して平滑とすると効果的であることが判ったが、この際、反射電極間の間隙に黒色の絶縁材料を介在させればブラックマトリックスとして働き、従来、対向するガラス基板の透明電極上に設けてあるブラックマトリックスを省略できることを見出したものである。

【0018】すなわち、具体的には、図3に示す逆スタガード型TFTの製造工程において、絶縁層10の上に反射電極12をパターン形成した後、また、図4に示すMO

SFETの製造工程において、第2の絶縁層26の上に反射電極28をパターン形成した後、この上に黒色の顔料粉末を含む樹脂をスピンドルコートして、反射電極12あるいは28の間の境界13あるいは29を埋めると共に、この反射電極12あるいは28の上に被覆し、乾燥させた後にマトリックスを構成する総ての反射電極12あるいは28が露出するまで研磨することにより目的を達成することができる。

【0019】なお、このようにして形成した液晶表示素子は基板の周辺に駆動用のICの装着や外部との配線接続のためにコンタクトホールの形成が必要であり、この穴開け工程を簡略化するために樹脂として感光性を有する樹脂を使用すると有利である。

【0020】このように、光を吸収する着色したブラックマトリックスを反射電極の境界に形成すると、トランジスタがON, OFFする際のコントラストを増大することができ、また、外部から浸入する光をカットできることから、従来の問題点を解決することができる。

【0021】

【実施例】

実施例1：（図1および図5関連）

図1は本発明を適用したTFTを用いた反射型液晶表示素子の断面図、また、図5は本発明に係るブラックマトリックスを備えた反射電極側素子の製造工程図である。

【0022】まず、硼珪酸ガラスよりなるガラス基板1の上に従来と同様にして逆スタガード型TFT32をマトリックス状に形成した。（以上図5A）

次に、この上にプラズマCVD法により Si_3N_4 よりなる絶縁層10を形成し、次に、反応性イオンエッチング（RIE）を用いる写真蝕刻技術によりソース電極8に

30 達する穴開けを行った。（以上図5B）

次に、この絶縁層10の上にAlをスパッタしてピア11を形成した後、このAl膜を選択的にRIEを行なって従来と同様して反射電極12を表面に備えたアクティブマトリックスアレイを形成した。（以上図5C）

次に、感光性エポキシ樹脂液に有機顔料である黒色のDiamond-blackを加え、反射電極12の上に、この黒色樹脂34をスピンドルコート法により塗布し、紫外線を選択照射した後、現像してゲートバスラインとドレインバスラインの終端部と駆動用ICの装着部を窓開けした。（以上図

40 5D）

次に、研磨材として粒径が $0.5 \mu m$ 以下のアルミナを使用し、回転速度を毎分30回転に保って反射電極12が現れるまでクロス研磨した。（以上図5E）

その結果、黒色樹脂34は反射電極12の境界に充填されてブラックマトリックスを形成しており、これにより、開口率減少の問題を解決することができた。

実施例2：（図2および図6関連）

図2は本発明を適用したMOSFETを用いた反射型液晶表示素子の断面図、また、図6は本発明に係るブラックマトリックスを備えた反射電極側素子の製造工程図で

ある。

【0023】まず、Si基板19の上に従来と全く同様な方法でMOSFET36を形成した。すなわち、酸化膜(LOCOS)20により素子間分離を行なってある素子形成領域にゲート電極21を形成し、この上にSiO₂よりなる第1の絶縁層22を形成した後、ドレイン電極とソース電極の形成位置をSi基板19に到るまで、選択エッチングして窓開けし、この窓開け部を通してイオン注入を行なうことにより半導体領域を形成し、次に、この第1の絶縁層22の上にスパッタ法などによりAlの膜形成を行なって窓開け部を埋めた後、選択エッチングを行なって、ドレインバスラインに回路接続するドレイン電極23とソース電極24を形成した。(以上図6A)

次に、この上にSiO₂よりなる第2の絶縁層26を被覆した後、この第2の絶縁層26を選択エッチングしてソース電極24に到るビア穴を形成した。(以上図6B)

次に、この上にAlのスパッタを行なってソース電極24に到るビア27を形成した。(以上図6C)

次に、Alの選択エッチングを行なって各トランジスタ毎の反射電極28を形成し、次に、感光性エポキシ樹脂液に有機顔料である黒色のDiamond-blackを加えて黒色樹脂34を作り、これを反射電極28の上にスピンドルコート法により塗布し、次に、紫外線を選択照射した後、現像してゲートバスラインとドレインバスラインの終端部と駆動用ICの装着部を窓開けした。(以上図6D)

次に、研磨材として粒径が0.5μm以下のシリカ(SiO₂)を使用し、回転速度を毎分30回転に保って反射電極28が現れるまでクロス研磨した。その結果、黒色樹脂34は反射電極28の境界に充填されてブラックマトリックスが形成され、これにより、外部光の侵入によりトランジスタのOFF電流が増加する問題を解決することができた。(以上図6E)

【0024】

10 【図面の簡単な説明】
【図1】 本発明を適用したTFT使用反射型液晶表示素子の断面図である。

【図2】 本発明を適用したMOSFET使用反射型液晶表示素子の断面図である。

【図3】 TFTを用いたアクティブラチックス型液晶表示素子の断面図である。

【図4】 MOSFETを用いたアクティブラチックス型液晶表示素子の断面図である。

【図5】 TFTを用いた反射電極側素子の製造工程図である。

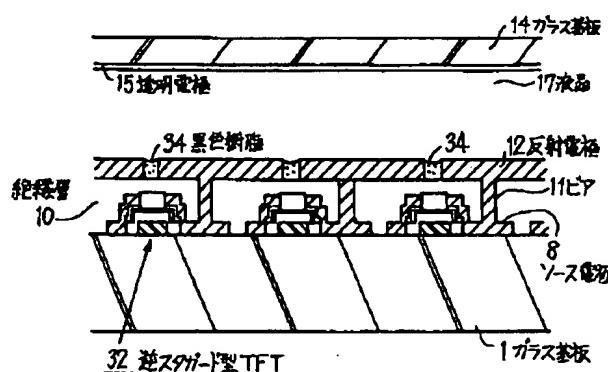
【図6】 MOSFETを用いた反射電極側素子の製造工程図である。

【符号の説明】

1, 14, 30	ガラス基板
3, 21	ゲート電極
7, 23	ドレイン電極
8, 24	ソース電極
12, 28	反射電極
13, 29	境界
16	ブラックマトリックス
18	マージン
30 32	逆スタガード型TFT
34	黒色樹脂
36	MOSFET

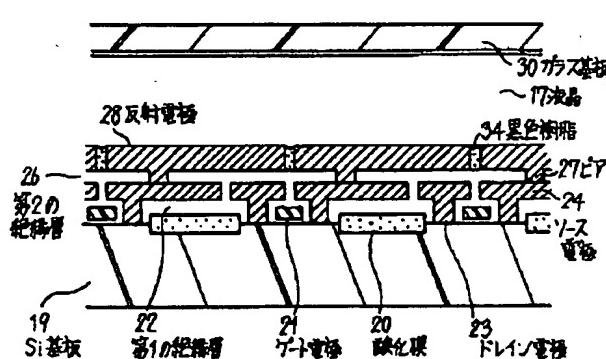
【図1】

本発明を適用したTFT使用反射型液晶表示素子の断面図

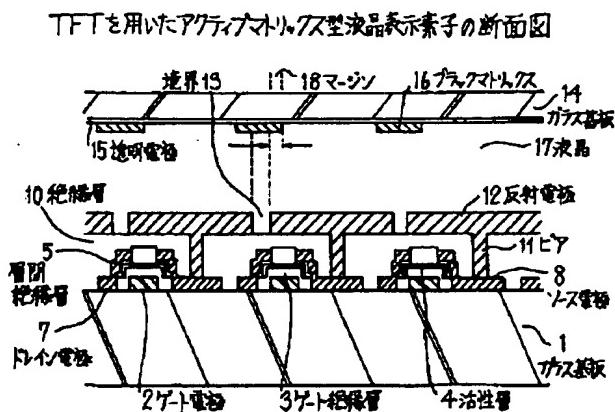


【図2】

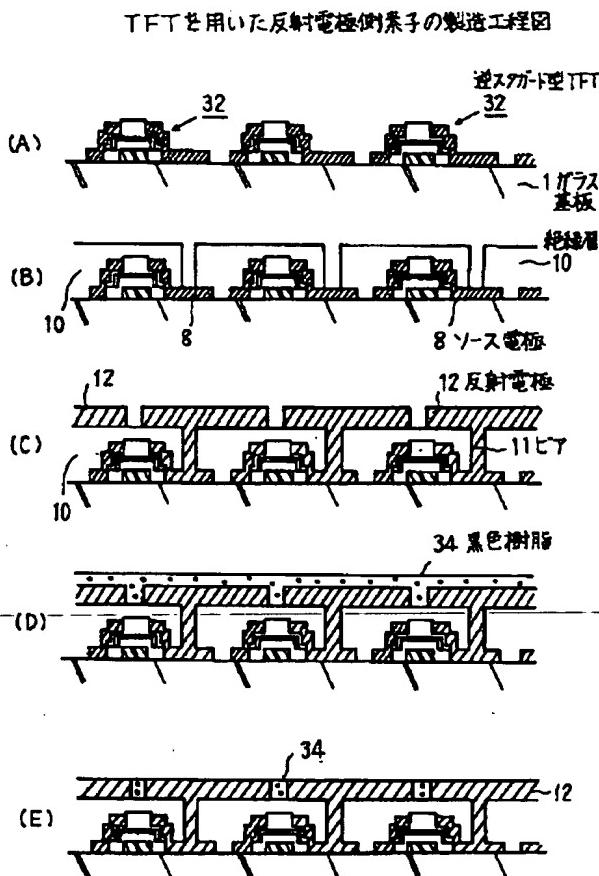
本発明を適用したMOSFET使用反射型液晶表示素子の断面図



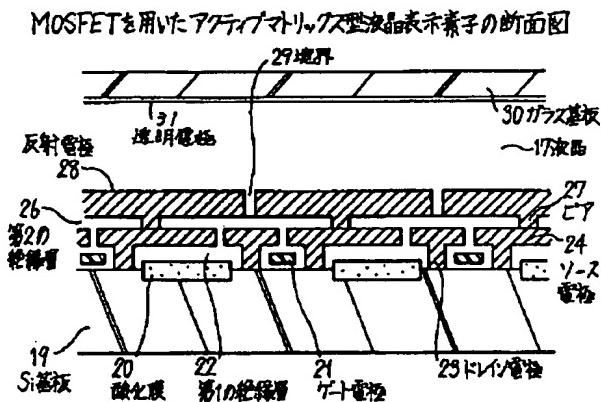
【図3】



【図5】



【図4】



【図6】

